

一种堆叠式 3D IC 的最小边界热分析方法

余 慧, 吴 昊, 陈更生, 童家榕

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘 要: 目前的热分析工具仅仅支持单芯片的热分析, 而堆叠式的三维芯片(3D IC)在同一封装中包含多个堆叠的芯片, 对芯片的散热和温度管理提出了更高的要求, 并且在热分析过程中需要处理复杂的边界条件. 本文提出的最小边界法可以准确且有效地处理堆叠式 3D IC 的边界条件, 简化了三维芯片封装的热模型; 同时, 本文提出在堆叠式 3D IC 的稳态热量分析中通过将连接点分类、采用预处理矩阵的方法加速整个全局热传导矩阵的求解过程, 从而简化热分析流程. 实验结果表明: 将有限元方法作为基本的热分析方法, 用最小边界法处理堆叠式 3D IC, 可以准确分析芯片的热分布; 同时通过高效的预处理矩阵可以减少共轭梯度法求解中 90% 的迭代次数.

关键词: 热分析; 有限元方法; 3D IC; 最小边界

中图分类号: TN401

文献标识码: A

文章编号: 0372-2112 (2012) 05-0865-06

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2012.05.001

A Minimal Boundary Thermal Analysis Method for Stacked 3D IC

YU Hui, WU Hao, CHEN Geng-sheng, TONG Jia-rong

(ASIC and System State Key laboratory, Fudan University, Shanghai 200433, China)

Abstract: Current thermal analysis tools can only efficiently handle 3D integrated circuits with simple structure. To deal with more complicated stacked 3D integrated circuits, more complex, and error-prone boundary conditions need to be set up. In this paper, we propose simple, yet efficient method, called minimal boundary method, to handle the complicated boundary conditions by transforming the 3D stacked structure to a structure with simple boundary (thus for easy boundary condition set up). To boost the thermal analysis via iterative conjugate gradient method, we construct a novel preconditioner, which consists of the thermal conductor matrices of the building blocks of the stacked 3D structure as its diagonal blocks. Experimental results show that by using finite element method along with the proposed minimal boundary pre-processing, we can obtain accurate thermal analysis results. The proposed preconditioner can reduce the 90% iterations in the conjugate gradient method.

Key words: thermal analysis; the finite element method; 3D IC; the minimal boundary

1 引言

随着工艺尺寸不断缩小, 芯片功率密度不断提高, 对芯片的功耗和散热提出了更高的要求. 同时, 为了进一步提高芯片的性能和工作频率, 1995 年第一次提出了堆叠式 3D IC 的设计方法. 传统的芯片设计方法, 是将电路模块在水平方向上放置. 而堆叠式 3D IC 将芯片在竖直方向上进行堆叠, 芯片之间通过穿过硅片的通孔 (Through Silicon Via, TSVs) 进行连接, 引入多层硅片技术, 3D IC 的每一层都是一个标准 2D IC. 与传统的 2D IC 相比, 三维芯片通过纵向的堆叠可以有效减少线网互连的物理长度^[1]、延时和功耗^[2,3], 并且显著减小芯片面积、提高芯片的集成度, 降低芯片成本.

但是随着功率密度的不断提高, 热问题在堆叠式

3D IC 中愈加严重. 一方面是因为芯片在垂直方向上堆叠, 导致功率密度的提高; 另一方面, 堆叠式 3D IC 中最上面的芯片距离散热片最远, 产生的热量将很难散去, 如果不进行热分析和热优化, 不断积累的热量将严重影响芯片的性能, 并导致芯片设计的失败^[4], 因此热分析成为堆叠式 3D IC 设计中的关键技术, 由此形成的围绕堆叠式 3D IC 的热分析模型、热敏感逻辑综合和物理设计^[6~11]等成为 EDA 领域的新问题, 是当前国际 EDA 领域中前沿性课题.

热分析可以在设计早期发现热隐患, 并加速设计的收敛^[5]. 在堆叠式 3D IC 的结构中, 由于芯片之间散热是相互影响的, 无法通过单个芯片的热分析方法来仿真整个堆叠式 3D IC 的热效应. 目前的 EDA 工具 (如 Cadence 的 Encounter 9.1) 仅仅可以处理单个芯片的热分

析,无法分析一个封装中有多个芯片堆叠的热分布.目前的商业软件(如 Flotherm 和 CFDDesign)对于芯片的热分析重点在封装和芯片之间的热传导及其造成的影响,并没有考虑不同的 TSV 对 3D IC 的产热影响.三维热分析方法和热分析工具的缺乏一定程度上影响了堆叠式 3D IC 产品的发展.

围绕堆叠式 3D IC 的热分析,国际学术界提出了多种方法.但众多的前沿研究中大多是基于封装的热模型^[12~17],而不是基于芯片的热模型,不能准确估算堆叠芯片中每个点的热分布,无法真正满足工业界的要求.为解决三维热分析中的建模问题、提高热分析的精度、降低计算的复杂度,本文提出一种基于最小边界的热分析方法,采用最小边界法将堆叠式 3D IC 分为芯片模块和封装模块(Package Block, PB),仅仅需要最小边界上的封装热模型,即可使用有限元方法(Finite Element Method, FEM)进行整个堆叠式 3D IC 的稳态热量分析.实验结果表明,用本文的方法可以准确分析整个堆叠式 3D IC 的热分布.

2 基于 FEM 的单芯片热分析模型

分析堆叠式 3D IC 的热效应,首先要从单芯片的热分析方法开始.单芯片热分析方法主要有:(1)构造以位置为参数的热分析;(2)边界元;(3)有限差分;(4)有限元(FEM)方法^[18].

在单芯片中,按照物质的不同可以划分为衬底层、金属层、电解质层等. FEM 是将芯片离散成有限的元素,用以处理芯片中复杂的材料特性. FEM 方法在每一层上划分网格,得到有限元分析中的基本元素,如图 1 所示,每个元素包括 8 个点,每个点即热传导方程^[19](1)中需要计算的点.

2.1 稳态分析中热传导方程的建立

热量的稳态分析是求解芯片的热传导方程:

$$\nabla [k(x, y, z, T) \nabla T(x, y, z)] = -g(x, y, z, T) \quad (1)$$

其边界条件为:

$$-k(x, y, z, T) \frac{\partial T(x, y, z)}{\partial n_i} = \lambda T(x, y, z) + \omega \quad (2)$$

其中, (x, y, z) 是每点的坐标; $k(x, y, z, T)$ 表示芯片中不同材料的热传导率(W/(mK)); $T(x, y, z)$ 是芯片中各点的温度(K); $g(x, y, z, T)$ 是功率密度(W/m³); n 是芯片边界的外法线方向; λ 和 ω 是边界条件的系数.

改变 λ 和 ω 的取值,可以表示为热分析中一些广泛应用的不同热环境和热边界条件^[18]:

$$(1) \text{绝热边界条件: } \lambda = 0, \omega = 0$$

$$(2) \text{热流边界条件: } \lambda = 0, \omega = -H_b$$

$$(3) \text{对流边界条件: } \lambda = f, \omega = -fT_e$$

其中, T_e 是热分析时的环境温度; H_b 是边界上热流的

功率; f 表示边界上的对流换热系数.这三类边界条件分别对应有有限元分析中的第一类边界条件、第二类边界条件、第三类边界条件.

热分析中实际获得的封装热模型边界条件是以热阻 R_T 的形式表示,对流换热系数 $f = 1/(R_T A)$ (A 对应于 R_T 的边界面积).这种热阻形式表示的边界条件可以转化为对流边界条件(有限元分析中的第三类边界条件^[18]):

$$-k(x, y, z, T) \frac{\partial T(x, y, z)}{\partial n_i} = \lambda T(x, y, z) + \omega = f(T - T_e) \quad (3)$$

2.2 有限元离散后的热传导矩阵

在 FEM 方法中,经过有限元离散后的热稳态方程(1)和边界条件(2)被转化为一个线性方程组:

$$C * T = P(T) \quad (4)$$

C 是热传导矩阵; $P(T)$ 表示芯片的功率密度分布和边界条件; T 表示需要求解的芯片中不同点的温度.

C 和 $P(T)$ 中的每一个元素均可表示为:

$$C_{ij} = \int_{\Omega} \nabla^T N_i k(x, y, z, T) \nabla N_j d\Omega + \int_{\Gamma_q} N_i \lambda N_j d\Gamma_q \quad (5)$$

$$P_i(T) = \int_{\Omega} N_i g(x, y, z, T) d\Omega + N_i \omega d\Gamma_q \quad (6)$$

其中, Ω 是芯片的体元; Γ_q 是边界上的面积元,用于得到边界条件; i, j 是芯片中需要分析的点; N_i 是对应 i 点的形状函数.

在单芯片的热分析中 FEM 是较多采用的方法,目前多数 EDA 厂商(如 Apache, Cadence)都将 FEM 作为基本的芯片热分析方法.本文所提出的堆叠式 3D IC 的热分析方法同样采用 FEM 来建立 3D IC 中单个芯片的热传导方程.

3 堆叠式 3D IC 的最小边界建模方法

单芯片封装热模型边界条件,以热阻的形式表示,由 Ansys 的封装散热分析工具 Icepad 获得,芯片边界上的热阻如图 2(a)所示.分析堆叠式 3D IC 的热量时,需要为每块芯片建立不同的封装热模型,需要复杂的边界条件,见图 2(b),这是十分繁琐的.为了降低分析过程的复杂性,本文提出一种最小边界法,通过在封装中填充若干个物质均匀分布的封装模块(Package Block, PB)来建立整个封装的全局热模型,如图 2(c)所示.

PB 的材料属性由堆叠芯片的生产方式决定:

若堆叠式 3D 芯片均采用相同的工艺,这时芯片间的填充物质为电介质.将 PB 模块当成具有均匀对流换热系数的有限元单元进行处理.

若堆叠式 3D 芯片采用不同的工艺,芯片间并没有

填充物质,这时 PB 模块的对流换热系数即为空气的对流换热系数。

运用最小边界法生成 PB 的原则为:

首先定义每个芯片都呈六面体,每个芯片模块由坐标信息表示其位置,由所有芯片模块的 $\max(x_i)$ 、 $\max(y_i)$ 、 $\max(z_i)$ 组成最小边界;

然后每个芯片模块从六面体的表面,按六个方向向外膨胀,直至遇到其他的芯片模块或由 $(\max(x_i)$ 、 $\max(y_i)$ 、 $\max(z_i))$ 组成的最小边界即停止膨胀,由此得到

每个芯片模块的边界;

最后在芯片模块的边界区域内沿 Z 方向切割出尽可能少的封装模块(package block, PB)。

举例说明,如图 2(c) 所示的剖面图,Die1 膨胀后得到的边界为其本身;Die2 膨胀后得到的边界为虚线区域,在虚线区域内先沿 Z 方向切割出 PB1、PB3,最后剩下的模块为 PB2;Die3 膨胀后得到的边界为细黑线区域,沿 Z 方向切割得到 PB6;Die4 膨胀后得到的边界为粗黑色区域,沿 Z 方向切割出 PB4、PB5。

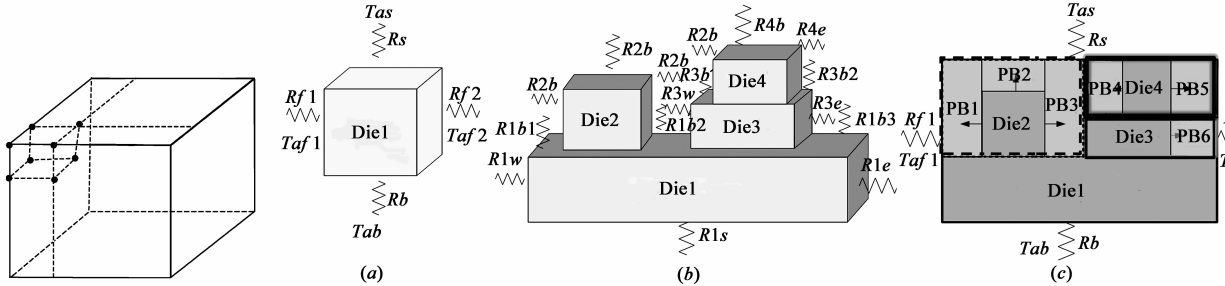


图1 有限元分析中的基本元素

图2 (a) 单芯片的边界热阻; (b) 堆叠芯片的边界热阻; (c) 添加PB的最小边界热阻

图 3 是堆叠式三维芯片的最小边界热分析算法执行流程,程序采用 C++ 实现:

(1) 首先,建立每个芯片模块(如图 2(c) 中的 Die1、Die2、Die3、Die4) 的热传导矩阵,并将这个矩阵存储在一个文件中。

(2) 然后,当封装中的每个芯片模块都分析完成,根据芯片模块的形状信息,建立最小边界的封装模块(如图 2(c) 中的 PB1、PB2、PB3、PB4、PB5、PB6)。

(3) 当这些芯片模块和封装模块都分析完成,将所有芯片模块和封装模块的热传导矩阵联立起来,构建一个全局的热传导矩阵。

(4) 最后通过共轭梯度法,求解全局热传导矩阵。

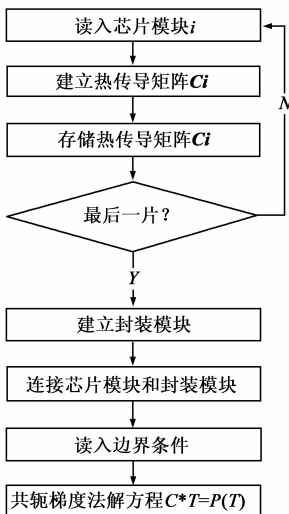


图3 堆叠式三维芯片的热分析流程

离散封装模块时,将 X 、 Y 方向上的网格与全局网格对齐, Z 方向接触面的网格分为以下三种情况:

(a) 若 PB 的 Z 方向边界面与芯片模块的 Z 方向边界面相接触时,采用芯片模块的 Z 方向边界面上的点。

(b) 若 PB 的 Z 方向边界面与已离散好的 PB 的 Z 方向边界面相接触时,采用已离散好的 PB 的 Z 方向边界面上的点。

(c) 若 PB 的 Z 方向边界面与未离散的 PB 的 Z 方向边界面相接触时,采用芯片模块 Z 方向的平均网格宽度来离散它。

建立封装模块的热传导矩阵时,在封装模块内部,如图 4 中的粗黑色边框内部网格,用六面体形状函数来建立有限元热传导矩阵;在封装模块边缘,如图 4 中的细黑线边界网格,由于离散点 Z 方向上的函数处于不同高度,用四面体形状函数来建立有限元热传导矩阵,将这些矩阵联合起来,建立全局热传导矩阵^[3]。根据 PB 中 Z 方向上不同位置的离散点,划分四面体的四种方法见图 5。以 Z 方向上最相近的两个离散点在 0 轴与 1 轴为例,划分完四面体的具体步骤见图 6。

4 预处理矩阵求解全局热传导矩阵

对于堆叠式 3D IC 的热分析,用有限元方法建立的热传导矩阵非常巨大,不论用直接或者迭代的方法求解都非常慢,为快速求解联立后的 3D IC 全局热传导矩阵,本文提出一种引入预处理矩阵的快速有效的求解

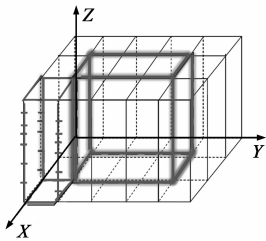


图4 封装模块的网格划分

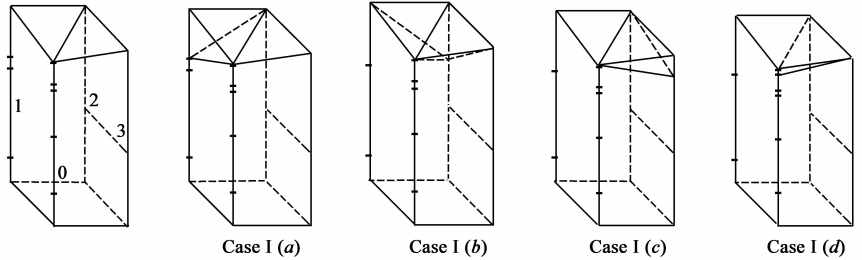


图5 封装模块四面体的划分方法(定义Z方向上的4条纵轴0、1、2、3,以0轴为基准轴划分四面体);
(a) Z方向最相近的两个离散点在0轴与1轴;(b) Z方向最相近的两个离散点在0轴与2轴;
(c) Z方向最相近的两个离散点在0轴与3轴;(d) Z方向最相近的两个离散点在0轴上

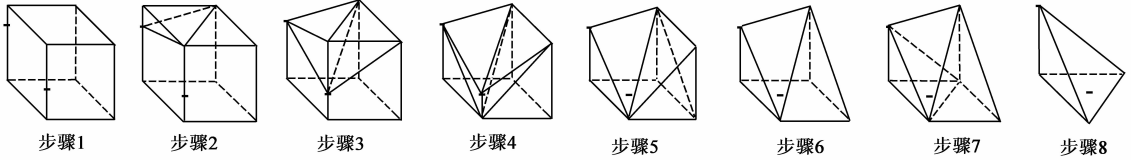


图6 划分完四面体的完整步骤

方法.

图7表示两个堆叠的3D IC, A表示Die1的内部点, X表示Die1和Die2的接触点; B表示Die2的内部点, X'表示Die2和Die1的接触点. X和X'实际代表相同的点,但是热分析建模时将X和X'视为不同的点,相当于高热导的物质连接.

连接点分类的提出,使得在整个堆叠芯片的热分析流程中,不必区分芯片的内部点和接触点.唯一要做的是在建立每个芯片的热传导矩阵时,

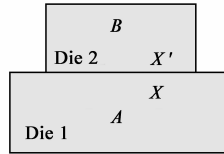


图7 两个芯片连接点之间的关系

考虑到接触点的影响,将相互的影响添加到块对角矩阵上,这样可以直接利用单芯片热分析的结果.

Die1和Die2的热传导矩阵 C_1 和 C_2 对于 X 和 X' 这两类不同的点,可以分别表示为:

$$C_1 = \begin{bmatrix} C_{AA} & C_{AX} \\ C_{XA} & C_{XX} \end{bmatrix} \quad (7)$$

$$C_2 = \begin{bmatrix} C_{X'X'} & C_{X'B} \\ C_{BX'} & C_{BB} \end{bmatrix} \quad (8)$$

其中, C_{AA} 和 C_{XX} 是子矩阵,它的数目由 A 点和 X 点的数目决定,也就是由网格的密度决定.

建立每个芯片的热传导矩阵后,对矩阵 C_1 和 C_2 进行 Cholesky 分解,并存储 Cholesky 分解后的结果,得到全局热传导矩阵:

$$C = \begin{bmatrix} C_{AA} & C_{AX} & 0 & 0 \\ C_{XA} & C_{XX} & C_{XX'} & 0 \\ 0 & C_{X'X} & C_{X'X'} & C_{X'B} \\ 0 & 0 & C_{BX'} & C_{BB} \end{bmatrix} \quad (9)$$

运用共轭梯度法^[20]求解全局热传导矩阵,速度非常快.因此建立一个预处理矩阵:

$$M^{-1} = \begin{bmatrix} C_1^{-1} & 0 \\ 0 & C_2^{-1} \end{bmatrix} \quad (10)$$

由于上下两块芯片连接的地方只有垂直方向上的热传递,预处理矩阵 $[M^{-1}]$ 忽略子矩阵 $C_{X'X}$ 和 $C_{XX'}$ 的影响,可以使共轭梯度法的求解快速收敛.

具体的共轭梯度法迭代过程如图8所示.输入: P 、 C 、 M^{-1} 、一个初始值 T_0 、最大迭代次数 i_{max} (一般取值为50)、容错系数 ϵ ($\epsilon < 1$).算法在超过最大迭代次数 i_{max} 或者 $\|r(i)\| \leq \epsilon \|r(0)\|$ 时结束迭代.

其中,预处理矩阵 M^{-1} 和余项 r 相乘;热传导矩阵 C 和方向向量 d 相乘,这两步的计算量最大.由于 M^{-1} 是一个块对角矩阵,因此在算法的实现中 M^{-1} 和余项 r 的相乘这一步骤可以在多线程的环境下并行化运算,每个线程处理 M^{-1} 中的一个块矩阵,不需要线程内部的通讯,可以大大提高算法的效率.除此之外,热传导矩阵 C 和方向向量 d 的相乘,两个线程之间的通讯很少,它们之间的相乘也可以采用多线程实现.

```

T ← T0
i ← 0
r ← P - CT0
d ← M-1r
δnew ← rTM-1r
δ0 ← δnew
While i < imax and δnew > ε2δ0, do
    q ← Cd
    α ← T + αq
    If i is divisible by 50
        r ← P - CT0
    else
        r ← r - αq
    δold ← δnew
    δnew ← rTM-1r
    β ← δnew / δold
    d ← M-1r + βd
    i ← i + 1
    
```

图8 共轭梯度法的算法实现

试验结果表明:在效率方面,运用预处理矩阵可以加速共轭梯度法的迭代过程,相比于不用预处理矩阵的直接求解,减少了 90% 的迭代次数。

5 实验结果

为了检验算法的正确性,用本文提出的最小边界法计算图 9 所示的堆叠式 3D IC 的热分布。首先由 Ansys 的封装热分析工具产生热阻,并转化为有限元的热边界条件;然后通过芯片的功耗分析和热分析之间的不断迭代,直到迭代结果小于一定的阈值,达到收敛,迭代结束,从而得到较为精确的热分析结果,将之与芯片的实测结果(由 Samsung 在真空环境下实测)进行对比。

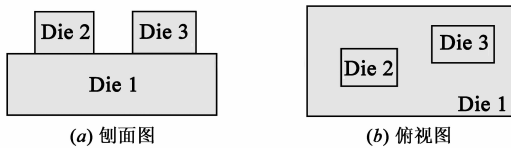
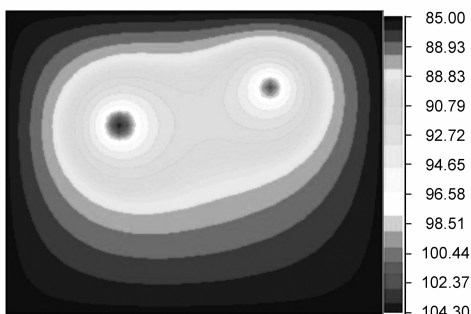


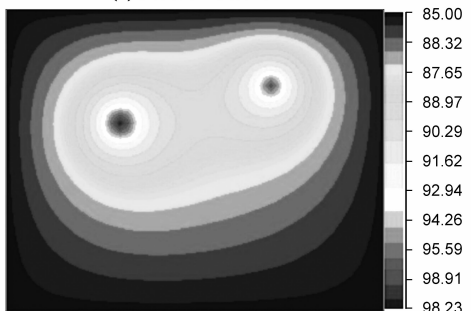
图9

堆叠三维芯片包括 3 块芯片: Die1, Die2, Die3. Die1 的位置坐标是: X 方向 $0 \sim 10000$; Y 方向 $0 \sim 8000$. Die2 和 Die3 叠加在 Die1 上, Die2 的位置坐标是 X 方向 $2000 \sim 4000$, Y 方向 $4000 \sim 6000$; 而 Die3 的位置坐标是: X 方向 $6000 \sim 8000$, Y 方向 $5000 \sim 7000$. 将 Die1 连接到散热片, 计算 Die1 这个芯片的功耗。

仿真数据采用 TSMC 的 45nm 工艺, 由 Encounter 的 VoltageStorm 做功耗分析, 由 libgen 产生热分析所需的功



(a) 实测的温度分布



(b) 最小边界法下的温度分布
图10 Die1的温度分布

耗文件。

实验分析中的芯片热传导率如表 1 所示。

图 10(a) 为 Samsung 提供的真空实测得到的 Die1 的温度分布, 范围从 85°C 到 104.296°C . 采用本文算法所得到的热分析仿真结果显示的温度分布如图 10(b) 所示, 温度范围从 85°C 到 98.234°C . 实验结果的对比表明, 仿真结果与实测结果接近。

表 1 材料特性

材料	热传导率 (W/m/K)
Cu	0.39
Si	0.101
SiO ₂	0.0013

6 结束语

本文提出了一种对堆叠三维芯片进行热分析的算法。这个算法包括: 采用 FEM 方法建立堆叠式 3D IC 芯片封装中每个芯片的热传导矩阵, 采用在封装中填充封装模块的最小边界法建立全局的热传导矩阵, 并采用预处理矩阵来简化和加快共轭梯度法的求解。最小边界法的引入, 简化了堆叠式 3D IC 的热模型; 预处理矩阵的采用, 可以减少求解过程中 90% 的迭代次数。结果显示, 采用本文提出的方法, 可以准确地分析得到堆叠式 3D IC 中各个芯片的热分布, 仿真结果与实测数据接近。

参考文献

- [1] W Haensch. Why should we do 3D integration[A]. Proceedings of Design Automation Conference [C]. USA: Anaheim, 2008. 674 - 675.
- [2] J Bautista. Tera-scale computing and interconnect challenges [A]. Proceedings of Design Automation Conference [C]. USA: Anaheim, 2008. 665 - 667.
- [3] J W Joyner, J D Meindl. Opportunities for reduced power dissipation using three-dimensional integration [A]. Proceedings of the International Interconnect Technology Conference [C]. USA: Burlingame, 2002. 148 - 150.
- [4] S Melamed, T Thorolfsson, A Srinivasan, E Cheng, P Franzon, R Davis. Junction-level Thermal Extraction and Simulation of 3DICs [A]. IEEE International 3D Systems Integration Conference [C]. San Francisco, 2009. 28 - 30.
- [5] H Oprins, M Cupak, G Van der Plas, B Vandeveld, P Marchal, A Srinivasan, E Cheng. Fine grain thermal modeling of 3D stacked structures [A]. 15th International Workshop on Thermal investigations of ICs and Systems [C]. Belgium: Leuven, 2009. 45 - 49.
- [6] J Cong, J Wei, Y Zhang. A Thermal-Driven Floorplanning Algorithm for 3D ICs [A]. Proceedings of ICCAD 2004 [C]. USA, 2004. 306 - 313.
- [7] J Cong, Y Zhang. Thermal-Driven Multilevel Routing for 3-D ICs [A]. Proceedings of the 2005 Conference on Asia South Pa-

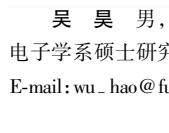
- cific Design Automation (ASP-DAC 2005) [C]. China: Shanghai, 2005. 121 – 126.
- [8] J Cong, G Luo, J Wei, Y Zhang. Thermal-Aware 3D IC Placement Via Transformation [A]. Proceedings of the 2007 Conference on Asia South Pacific Design Automation (ASP-DAC 2007) [C]. Japan: Yokohama, 2007. 780 – 785.
- [9] B Goplen, S Sapatnekar. Placement of 3D ICs with Thermal and Interlayer Via Considerations [A]. Proceedings of the 44th Annual Conference on Design Automation (DAC'07) [C]. California: San Diego, 2007. 626 – 631.
- [10] P Wilkerson, A Raman, M Turowski. Fast, Automated Thermal Simulation of Three-Dimensional Integrated Circuits [A]. ITTherm 2004 [C]. Nevada: Las Vegas, 2004. 1 – 4.
- [11] H Yan, Q Zhou, X. Hong. Thermal Aware Placement in 3D ICs Using Quadratic Uniformity Modeling Approach [J]. The VLSI Journal, 2009, 42(2): 175 – 180.
- [12] M Turowski, S Dooley, A Raman, M Casto. Multiscale 3D thermal analysis of analog ICs: From full-chip to device level [A]. 14th International Workshop on Thermal Investigation of ICs and Systems [C]. Italy: Rome, 2008. 64 – 69.
- [13] 班永灵, 聂在平, 于哲峰. 一种基于高阶矢量基函数的叠层预条件技术 [J]. 电子学报, 2007, 35(9): 1739 – 1744. Ban Yong-ling, et al. An Efficient Preconditioner Based on Higher Order Hierarchical Basis Functions [J]. Acta Electronical Sinica, 2007, 35(9): 1739 – 1744. (in Chinese)
- [14] M Rencz. Thermal Issues in Stacked Die Packages [A]. 21th IEEE SEMI-THERM Symposium [C]. USA: San Jose, 2005. 307 – 312.
- [15] M Rencz, V Székely. Structure function evaluation of stacked dies [A]. Proceedings of the 20th SEMI-THERM Symposium [C]. USA: San Jose, 2004. 50 – 55.
- [16] Li Zhang, Noella Howard, Vijaylaxmi Gumaste, Amindya Poddar, Luu Nguyen. Thermal characterization of stacked-die packages [A]. 20th IEEE SEMI-THERM Symposium [C]. USA: San Jose, 2004. 55 – 63.
- [17] 梁颖, 黄春跃, 阎德劲, 李天明. 基于热叠加模型的叠层 3D 多芯片组件芯片热布局优化研究 [J]. 电子学报, 2009, 37(11): 2520 – 2524. Liang Ying, et al. Study on thermal placement optimization of stacked 3D MCM based on thermal superposition model [J]. Acta Electronical Sinica, 2009, 37(11): 2520 – 2524. (in Chinese)
- [18] O C Zienkiewicz. The Finite Element Method [M]. 3rd Edition, McGraw Hill, London: England, 1977.
- [19] Gradient Design Automation Inc. Nanoscale Full-Chip Thermal Simulator [M/OL]. <http://www.gradient-da.com/>, 2010.
- [20] J R Shewchuk. An Introduction to the Conjugate Gradient Method without the Agonizing Pain [DB/CD]. <http://www.cs.cmu.edu/~jrs/jrspapers.html> JHJcg, 1994.

作者简介



余慧女, 1985 年生于江西, 汉族, 复旦大学信息科学与工程学院微电子学系博士研究生, 主要研究方向为 FPGA 芯片的设计方法, 测试方法及 CAD 研究.

E-mail: hui_yu@fudan.edu.cn



吴昊男, 1985 年生于安徽, 汉族, 复旦大学微电子研究院微电子学系硕士研究生, 主要研究方向为 FPGA 芯片的 CAD 研究.

E-mail: wu_hao@fudan.edu.cn



陈更生(通讯作者)男, 复旦大学专用集成电路与系统国家重点实验室高级工程师, 主要研究方向为数字信号处理、可编程逻辑电路、电子辅助设计和数模混合集成电路设计.

E-mail: gschen@fudan.edu.cn